

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 6 7 9 7 2
Application Number:

[ST. 10/C] : [J P 2 0 0 2 - 2 6 7 9 7 2]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 13766001

【提出日】 平成14年 9月13日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 林 宏 宜

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 吉 田 征 弘

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 もたい 友 信

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
複数の撮像条件のそれぞれにおける前記電荷蓄積部の蓄積電荷に基づいて、前
記撮像部で撮像された画像に対応するデジタル画像データを生成する信号処理部
と、を備えることを特徴とする画像取込み機能を備えた表示装置。

【請求項 2】

前記電荷蓄積部に蓄積された電荷が所定のしきい値以上か否かを示す 2 値デー
タを出力する 2 値データ生成部を備え、
前記信号処理部は、前記複数の撮影条件のそれぞれで得られた前記 2 値データ
に基づいて、前記デジタル画像データを生成することを特徴とする請求項 1 に記
載の表示装置。

【請求項 3】

前記撮影条件を段階的に昇順または降順に切り替える撮影条件切替部を備え、
前記信号処理部は、前記撮影条件切替部が前記撮影条件を 1 段階切り替えたと
きに、前記 2 値データの論理が変化した場合には、注目画素の周囲の複数画素の
前記 2 値データの値に基づいて、前記注目画素のデジタル画像データを生成する
ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記撮影条件切替部は、前記電荷蓄積部に蓄積される初期電荷量を段階的に昇
順または降順に切り替え、
前記電荷蓄積部は、複数通りの前記初期電荷量のそれぞれごとに、前記初期電
荷量から前記撮像部での受光量に応じた電荷を差し引いた残りの電荷を蓄積する
ことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記撮影条件切替部は、前記撮像部での撮像時間を段階的に昇順または降順に切り替えることを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

前記信号処理部は、前記撮影条件切替部が前記初期電荷量を 1 段階切り替えたときに、前記 2 値データの論理が変化した場合には、注目画素の周囲 8 画素の前の画像取込み時における前記 2 値データの平均値を、前記注目画素のデジタル画像データとすることを特徴とする請求項 3 及至 5 のいずれかに記載の表示装置。

【請求項 7】

一つの撮影条件での前記 2 値データを一時的に格納する一時的格納部と、
前記一時的格納部に格納された前記 2 値データを格納する第 1 領域と、この第 1 領域に格納されている 2 値データに対応する前記デジタル画像データを格納する第 2 領域と、を有する作業用格納部と、を備えることを特徴とする請求項 2 及至 6 のいずれかに記載の表示装置。

【請求項 8】

前記表示素子、前記撮像部、前記電荷蓄積部及び前記 2 値データ生成部は、同一の絶縁基板上に形成され、

前記信号処理部、前記一時的格納部及び前記作業用格納部は、前記絶縁基板とは別個の半導体基板上に形成されることを特徴とする請求項 7 に記載の表示装置。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、画像取込み機能を備えた表示装置に関する。

【0 0 0 2】**【従来の技術】**

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進

歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【0 0 0 3】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能を備えた表示装置が提案されている（例えば、特許文献 1，2 を参照）。

【0 0 0 4】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行っている。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 2 9 2 2 7 6 号公報

【特許文献 2】

特開 2 0 0 1 - 3 3 9 6 4 0 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、センサに流れる電流は微弱であるため、その電流によるキャパシタの両端電圧の変化を精度よく検出するのは困難であり、測定誤差が大きくなる。このため、取込画像にノイズが現れやすくなる。

【0 0 0 7】

また、キャパシタの両端電圧を検出するために、キャパシタに SRAM やバッファ回路を接続する場合、SRAM やバッファ回路を構成するトランジスタのしきい値電圧を超えたか否かにより「0」か「1」かの判定が行われるが、トランジスタのしきい値電圧にばらつきがあるため、「0」と「1」の判定基準がずれるおそれがある。また、センサに流れる電流もばらつきがあるため、「0」と「1」の判定基準がずれるおそれがある。

【 0 0 0 8 】

本発明は、このような点に鑑みてなされたものであり、その目的は、光リークのばらつきやトランジスタ等の電気的特性のばらつきの影響を受けることなく、画像取込みを行うことができる表示装置を提供することにある。

【 0 0 0 9 】**【課題を解決するための手段】**

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、複数の撮像条件のそれぞれにおける前記電荷蓄積部の蓄積電荷に基づいて、前記撮像部で撮像された画像に対応するデジタル画像データを生成する信号処理部と、を備える。

【 0 0 1 0 】**【発明の実施の形態】**

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【 0 0 1 1 】

図 1 は本発明に係る表示装置の第 1 の実施形態の概略構成図であり、画像取込み機能を有することを特徴としている。図 1 の表示装置は、ガラス基板 3 1 と半導体基板 3 2 とで構成されている。ガラス基板 3 1 上には、信号線及び走査線が列設される画素アレイ部 1 と、信号線を駆動する信号線駆動回路 2 と、走査線を駆動する走査線駆動回路 3 と、画像を取り込んで出力する検出回路&出力回路 4 とが設けられている。これらの回路は、例えばポリシリコン T F T により形成されている。信号線駆動回路 2 は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換する D/A 変換回路を含む。D/A 変換回路は公知のものをを用いる。半導体基板 3 2 上には、表示制御及び画像取込み制御を行うロジック I C 3 3 が実装されている。ガラス基板 3 1 と半導体基板 3 2 とは、例えば F P C を介して各種信号の送受を行う。

【0012】

図2は画素アレイ部1の一部を詳細に示したブロック図である。図2の画素アレイ部1は、縦横に列設される信号線及び走査線の各交点付近に形成される画素TFT11と、画素TFT11の一端とCs線との間に接続される液晶容量C1及び補助容量C2と、各画素TFT11ごとに2個ずつ設けられる画像取込み用のセンサ12a, 12bとを有する。センサ12a, 12bは、不図示の電源線及び制御線に接続されている。

【0013】

図2では、画像取込みの解像度を上げるために各画素ごとに2個のセンサ12a, 12bを設ける例を示しているが、センサの数に特に制限はない。

【0014】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ12a, 12bはそれぞれフォトダイオードD1, D2とセンサ切替用トランジスタQ1, Q2とを有する。フォトダイオードD1, D2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ1, Q2は、1画素内の複数のフォトダイオードD1, D2のいずれか一つを交互に選択する。

【0015】

各画素は、2つのセンサ12a, 12bと、同一画素内の2つのセンサ12a, 12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷に応じた2値データを格納するバッファ13と、バッファ13への書込み制御を行うトランジスタQ3と、バッファ13及びキャパシタC3を初期化するリセット用トランジスタQ4とを有する。

【0016】

バッファ13は、スタティックRAM (SRAM) で構成され、例えば、図4に示すように、直列接続された2つのインバータIV1, IV2と、後段のインバータIV2の出力端子と前段のインバータIV1の入力端子との間に配置されるトランジスタQ5と、後段のインバータの出力端子に接続される出力用トランジスタQ6とを有する。

【0017】

信号SPOLBがハイレベルのときに、トランジスタQ 5はオンし、2つのインバータI V 1, I V 2は保持動作を行う。信号OUTiがハイレベルのときに、保持しているデータが検出線に出力される。

【0 0 1 8】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタQ 3はオフ状態に設定され、バッファ1 3には有効なデータは格納されない。この場合、信号線には、信号線駆動回路2からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0 0 1 9】

一方、画像取込みを行う場合は、図5に示すようにアレイ基板2 1の上面側に画像取込み対象物（例えば、紙面）2 2を配置し、バックライト2 3からの光を対向基板2 4とアレイ基板2 1を介して紙面2 2に照射する。紙面2 2で反射された光はアレイ基板2 1上のセンサ1 2 a, 1 2 bで受光され、画像取込みが行われる。

【0 0 2 0】

取り込んだ画像データは、図3に示すようにバッファ1 3に格納された後、検出線を介して、図1に示すロジックI C 3 3に送られる。このロジックI C 3 3は、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。

【0 0 2 1】

図6は図1に示したロジックI C 3 3の内部構成を示すブロック図である。図6に示すように、ロジックI C 3 3は、画素アレイ部1への表示制御を行う表示制御部4 1と、センサ1 2 a, 1 2 bの画像取込制御を行う画像取込制御部4 2と、ロジックI C 3 3全体の制御を行うCPU 4 3と、CPU 4 3が作業用に利用するメインメモリ4 4とを有する。

【0 0 2 2】

画像取込制御部4 2は、図3の検出線上の撮像データを一時的に格納するバッファメモリ4 5と、画像取込用の制御信号を生成する制御信号発生回路4 6とを

有する。CPU 43は、バッファメモリに格納された撮像データに基づいて取込画像の画像処理を行って表示用の画像データを生成する。

【0023】

表示制御部41は、CPU 43が生成した表示用の画像データを一時的に格納するバッファメモリ47と、図1の信号線駆動回路2と走査線駆動回路3の動作タイミングを制御する制御信号を生成する制御信号発生回路48とを有する。

【0024】

画像取込みを行う場合、予め各画素のキャパシタC3に初期電荷を蓄積しておく。センサ12a, 12bが白っぽい画像を取り込むと、センサ12a, 12bに電流が流れ、そのセンサ12a, 12bに対応するキャパシタC3の電荷が放電して、キャパシタC3の両端電圧が低下する。一方、センサ12a, 12bが黒っぽい画像を取り込むと、センサ12a, 12bにはあまり電流は流れず、キャパシタC3の両端電圧はほとんど変化しない。

【0025】

したがって、キャパシタC3の両端電圧を検出することにより、取込画像の濃淡を判断することができる。本実施形態では、キャパシタC3の両端電圧をSRAMからなるバッファ13に一時的に格納する。このバッファ13は、キャパシタC3の両端電圧がSRAMの初段のインバータのしきい値電圧以上であれば「1」と判断し、しきい値未満であれば「0」と判断する。

【0026】

ところが、センサ12a, 12bによる光リーク電流はばらつきがあるため、キャパシタC3の両端電圧にはばらつきが生じやすく、また、SRAMを構成するトランジスタのしきい値電圧もばらつくため、同じ画像を取り込んでも、場合によって、「1」と判断されたり、「0」と判断されたりする。このようなばらつきは、取込画像のノイズとなって現れる。市販のスキャナなどに良く用いられるシリコンウェハー上に形成される光電変換素子の電流ばらつきと比べて、表示装置のアレイ基板に用いるガラス基板などの絶縁基板上に形成される光電変換素子は、電流ばらつきが大きくなる。後者は、面積が大きく、プロセス温度も低い（基板の耐熱温度に制約される）ため、均一形成が難しい。従って、表示装置特有の

ばらつき補償手段がなんらかの形で必要となる。また、撮像対象の微妙な階調を再現できることが望ましいが、上記ばらつきにより阻害される。以下では、特性ばらつきの大きいトランジスタおよびリーク電流ばらつきのある光電変換素子で構成されるセンサ回路でありながら、ノイズを少なくできる、あるいは、階調表示を再現することができる手段および構成を説明する。

【0027】

図6に示すCPU43は、センサ12a, 12bによる撮像条件を変えて複数回にわたって画像取込みを行い、これら複数回の画像取込みの結果に基づいて、最終的な取込画像データを生成する。具体的には、図7に示すように、キャパシタC3への印加電圧 V_{prc} を4通りに変化させて、各電圧 V_{prc} をキャパシタC3に印加した状態でそれぞれ画像取込みを行うための制御信号をガラス基板に供給する。また、ガラス基板から出力される画像取り込みの結果のデジタルデータの演算処理を行う。ガラス基板に入力する信号（デジタル画素データ、制御クロック、制御信号）も、ガラス基板から出力される信号もデジタル信号（撮像結果に基づくデジタル信号）であるから、図6に示す表示制御部と画像取り込み制御部はワンチップ半導体上に形成することが容易である。仮にガラス基板上にD/A変換回路が無い場合は、表示制御部に増幅回路（アナログ回路）が必要となり、ワンチップ化は高コストになってしまうのに比べ有利な構成である。また、近年の半導体製造プロセスの微細化進展・集積度向上に伴い、図6のCPUおよびメインメモリも、表示制御部と画像取り込み制御部とワンチップ化してしまうことも容易である。

【0028】

図8はCPU43の処理動作の一例を示すフローチャートである。まず、CPU43は、各画素ごとに設けられる図3のキャパシタC3の一端に電圧 $V_{prc}=3.5V$ （SRAMの初段インバータの閾値に比較的近い値。インバータの閾値は電源電圧(5V)の半分の2.5Vを中心にはばらつく。）を印加して、このキャパシタC3に初期電荷を蓄積する（ステップS1）。

【0029】

次に、1回目の画像取込みを行う（ステップS2）。この場合、画像の白い部

分、あるいは、白に近いグレーを読み取ったセンサ 12 a, 12 b には電流が流れ、キャパシタ C 3 の初期電荷が放電して、キャパシタ C 3 の両端電圧が低下する。一方、画像の黒い部分を読み取ったセンサ 12 a, 12 b には電流が流れないため、キャパシタ C 3 の両端電圧はほとんど変化しない。

【0030】

ステップ S 2 では、キャパシタ C 3 の両端電圧が SRAM の初段のインバータのしきい値電圧をより高い場合には、その画素は黒であると判断する。すなわち、まず、取込画像の中で、黒色の部分だけをステップ S 2 で抽出し、抽出された画素を黒色の画素値として確定し、その他の画素を白色の画素値として、メインメモリ 44 に格納する（ステップ S 3）。キャパシタ C 3 のプリチャージ電圧が SRAM の初段インバータの閾値電圧に比較的近い電圧としているため、センサ部に対向する画像の部分が多少なりとも白よりだと、幾ばくかのリーク電流が生じ、キャパシタ C 3 の電位は、SRAM の初段インバータの閾値電圧より下回る確立が高くなる。逆にいえば、この状態で、C 3 の電圧がインバータの閾値電圧より上のままであり続けるということは、対応する画像の部分はまず間違いなく黒と判断してよいということになる。

【0031】

例えば、図 9 は名刺（白地に黒文字）の画像を取り込んだ例であり、図 9（a）はステップ S 1 ～ S 3 で得られる取込画像を示している。ステップ S 3 では、よっぽど黒っぽい画素のみを黒として検出するため、図 9（a）のように、全体的に白っぽくて、文字が多少かすれた画像が得られる。

【0032】

次に、キャパシタ C 3 の一端に電圧 $V_{prc} = 4 \text{ V}$ を印加して、このキャパシタ C 3 に初期電荷を蓄積し（ステップ S 4）、2 回目の画像取込みを行う（ステップ S 5）。この場合、1 回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0033】

2 回目の画像取込みが終わると、1 回目が白色で、2 回目が黒色と判断された画素を抽出し、抽出画素の周囲 8 画素の 1 回目の画素値の平均値を計算し、この

平均値を抽出画素の画素値とする（ステップS6）。

【0034】

図9（b）はステップS4～S6で得られる取込画像を示している。図9（a）よりもわずかに白っぽい画像も黒と判断するため、図9（a）よりも全体的に黒っぽい画像が得られる。

【0035】

このステップS6では、例えば、図10の斜線部で示す画素が抽出画素であるとする、その周囲8画素の画素値G1～G8の平均値 $(G1+\cdots+G8)/8$ を抽出画素の画素値とする。G1～G8が全て白ならば、画素値は白となるが、G1～G8に白、黒がいくつかづつあると、画素値は中間調となる。

【0036】

次に、キャパシタC3の一端に電圧 $V_{prc}=4.5V$ を印加して、このキャパシタC3に初期電荷を蓄積し（ステップS7）、3回目の画像取込みを行う（ステップS8）。この場合、2回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0037】

図9（c）はステップS7～S9で得られる取込画像を示している。図9（b）よりもわずかに白っぽい画像も黒と判断するため、図9（b）よりも全体的に黒っぽい画像が得られる。

【0038】

3回目の画像取込みが終わると、2回目が白色で、3回目が黒色と判断された画素を抽出し、抽出画素の周囲8画素の1回目の画素値の平均値を計算し、この平均値を抽出画素の画素値とする（ステップS9）。

【0039】

次に、キャパシタC3の一端に電圧 $V_{prc}=5V$ を印加して、このキャパシタC3に初期電荷を蓄積し（ステップS10）、4回目の画像取込みを行う（ステップS11）。この場合、3回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0040】

図9 (d) はステップS10～S12で得られる取込画像を示している。図9 (c) よりもわずかに白っぽい画像も黒と判断するため、図9 (c) よりも全体的に黒っぽい画像が得られる。

【0041】

4回目の画像取込みが終わると、3回目が白色で、4回目が黒色と判断された画素を抽出し、抽出画素の周囲8画素の1回目の画素値の平均値を計算し、この平均値を抽出画素の画素値とする（ステップS12）。

【0042】

ステップS12の処理を行った結果として得られる画像は、図11に示すものになり、中間調まで表現でき、かつノイズも除去できることがわかる。

【0043】

図12は「T」の文字を含む画像の一例を示す図、図13は図12の点線行の画像取込みを行った結果を示す図である。図示のように、1回目の画像取込時には、画素P7のみが「H」になる。したがって、この時点では、画素P7のみ、黒色と決定され、画素P7には黒色の画素値が割り当てられる。

【0044】

次に、2回目の画像取込みを行うと、画素P9が新たに「H」となる。したがって、その周囲8画素の前の画素値（この場合、すべて白色の画素値）の平均値を画素P9の画素値とする。

【0045】

次に、3回目の画像取込みを行うと、画素P4が新たに「H」となる。したがって、その周囲8画素の前の画素値（この場合、すべて白色の画素値）の平均値を画素P4の画素値とする。

【0046】

次に、4回目の画像取込みを行うと、すべての画素P1～P15が「H」になる。したがって、残りの全画素P1～P3、P5、P6、P8、P9、P11～P15について、その周囲8画素の前の画素値の平均値に基づいて画素値を決定する。

【0047】

このような手法で、図12の全ラインについて図8の処理を行うと、最終的に図14のような画像が得られる。図14を見ればわかるように、画像取込み時のノイズを除去できるとともに、中間色まで再現できる。

【0048】

本実施形態では、図8のフローチャートで示したように、撮影条件を変えて複数回（回数は多いほど、画像再現の精度が高くなる。）画像取込みを行い、各回の画像取込結果に基づいて最終的な取込画像を決定するため、各回の画像取込み結果を記憶しておく必要がある。例えば、図15に示すように、各回の画像取込み結果をメインメモリ44に格納しておくようにすると、必要なメモリ容量が多くなる。セット全体の小型化の要求の強い、携帯電話などの小型情報端末への適用を考えると、限られた計算資源で可能な演算処理が望ましい。計算資源の例として、CPUが計算を行うためのデータを保持するためのメモリがあげられる。

【0049】

このため、本実施形態では、画像取込制御部42内にバッファメモリ45を設け、このバッファメモリ45に1回分の画像取込み結果を格納しておき、この画像取込み結果をメインメモリ44に転送する。CPU43は、図8のフローチャートに従ってメインメモリ44のデータを利用して1回分の処理を行い、その処理結果をメインメモリ44の他の記憶領域に格納する。その間に、バッファメモリ45は次の回の画像取込み結果を格納する。以後、同様の動作を繰り返すことにより、最終的な取込画像が得られる。

【0050】

この場合、図16に示すように、メインメモリ44には、1回分の画像取込み結果のみが格納されるので、メインメモリ44の容量を削減できる。

【0051】

このように、本実施形態では、撮影条件を変えて複数回画像取込みを行った結果に基づいて、最終的な取込画像を決定するため、センサ12a、12bの特性ばらつきやSRAMのしきい値電圧のばらつき等の影響を受けずに画像取込みを行うことができ、ノイズが少なく、中間調まで再現できる取込画像が得られる。

【0052】

上述した実施形態では、複数の撮影条件として、キャパシタ C 3 に印加する電圧を変える例を説明したが、キャパシタ C 3 に印加する電圧を変える代わりに、画像取込みを行う時間を各撮影条件ごとに変えてもよい。あるいは、液晶の透過率を変えても良い。条件のバリエーションの具体的な例を図 9 に示したが、他にも同様の趣旨でのバリエーションが可能である。

【 0 0 5 3 】

また、キャパシタ C 3 に印加する電圧を変えるとともに、画像取込みを行う時間を変化させてもよい。この場合、撮影条件の数をより増やすことができる。

【 0 0 5 4 】

【発明の効果】

以上詳細に説明したように、本発明によれば、複数の撮影条件で画像取込みを行った結果に基づいて取込画像のデジタル画像データを生成するため、撮像部の特性ばらつき等の影響を受けることなく画像取込みを行うことができ、取込画像の品質を向上できる。また、複数回の画像取り込みおよび演算を行うにもかかわらず、多くの計算資源を要しない。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の第 1 の実施形態の概略構成図。

【図 2】

画素アレイ部 1 の一部を詳細に示したブロック図。

【図 3】

図 2 の一部を詳細に示した回路図。

【図 4】

SRAM の内部構成を示す回路図。

【図 5】

表示装置の断面図。

【図 6】

図 1 に示したロジック I C の内部構成を示すブロック図。

【図 7】

キャパシタに印加する電圧を切り替える例を示す図。

【図 8】

C P U の処理動作の一例を示すフローチャート。

【図 9】

名刺の画像を取り込む例を示す図。

【図 1 0】

周囲 8 画素の平均を取る様子を示す図。

【図 1 1】

図 8 の処理結果を示す画像の例を示す図。

【図 1 2】

「T」の文字を含む画像の一例を示す図。

【図 1 3】

図 1 2 の点線行の画像取込みを行った結果を示す図。

【図 1 4】

図 1 3 の画像を取り込んだ結果として最終的に得られる図。

【図 1 5】

各撮影条件での画像取込み結果を別個にメインメモリに格納する例を示す図。

【図 1 6】

メインメモリの容量を削減する例を示す図。

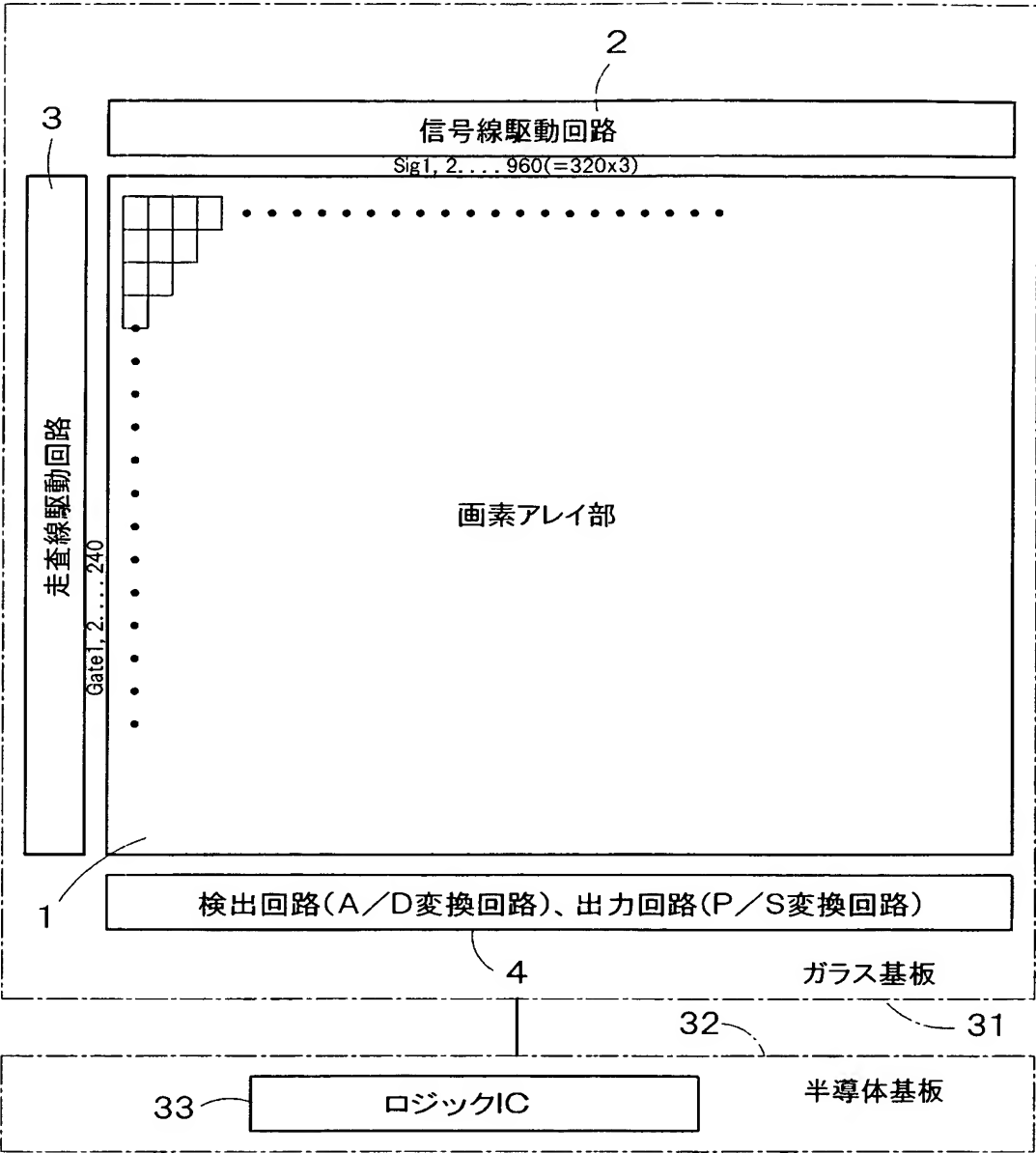
【符号の説明】

- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 検出回路&出力回路
- 1 1 画素 T F T
- 1 2 a, 1 2 b センサ
- 1 3 バッファ
- 2 1 アレイ基板
- 2 2 紙面

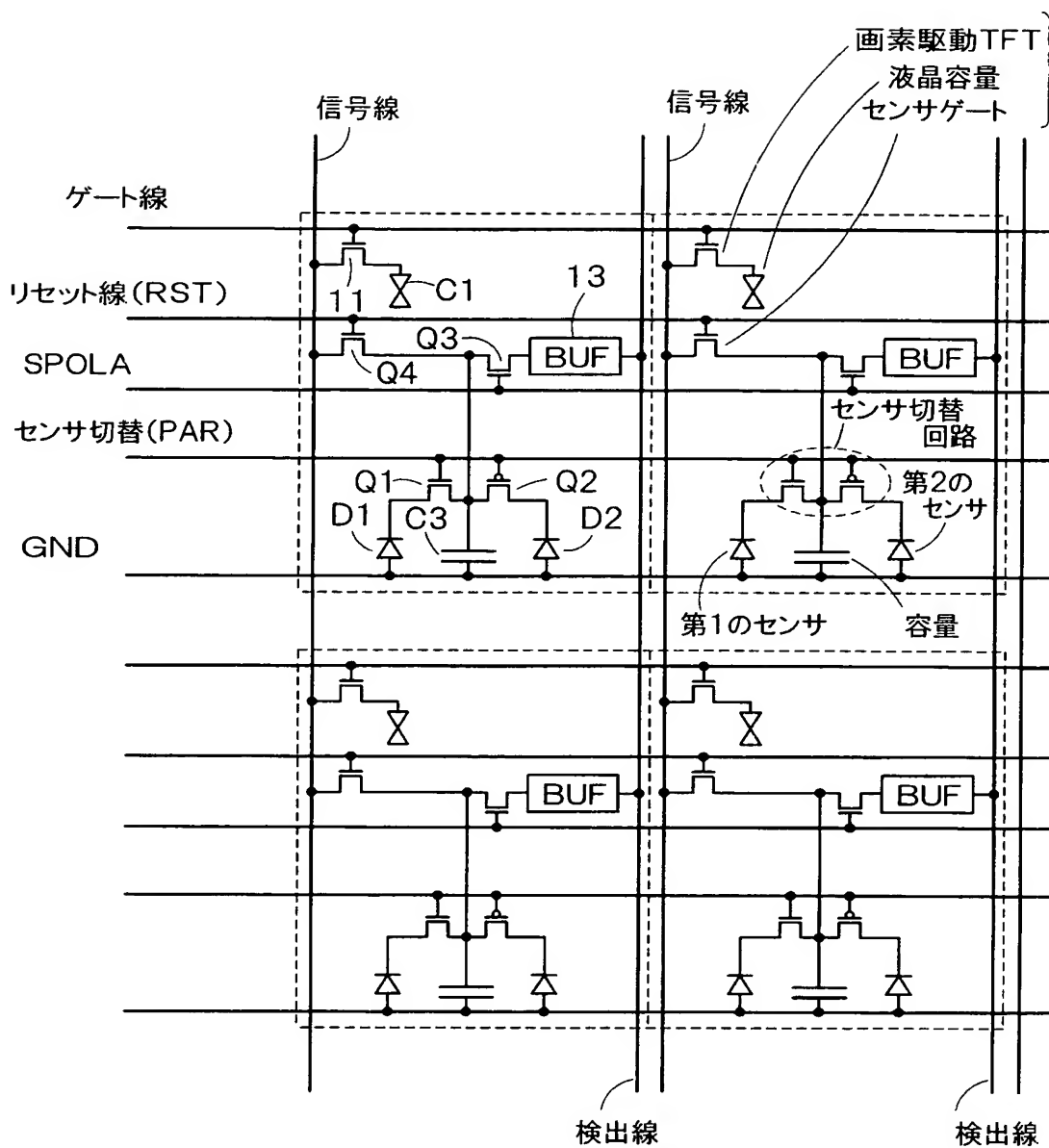
- 2 3 バックライト
- 2 4 対向基板
- 3 1 ガラス基板
- 3 2 半導体基板
- 3 3 ロジック I C

【書類名】 図面

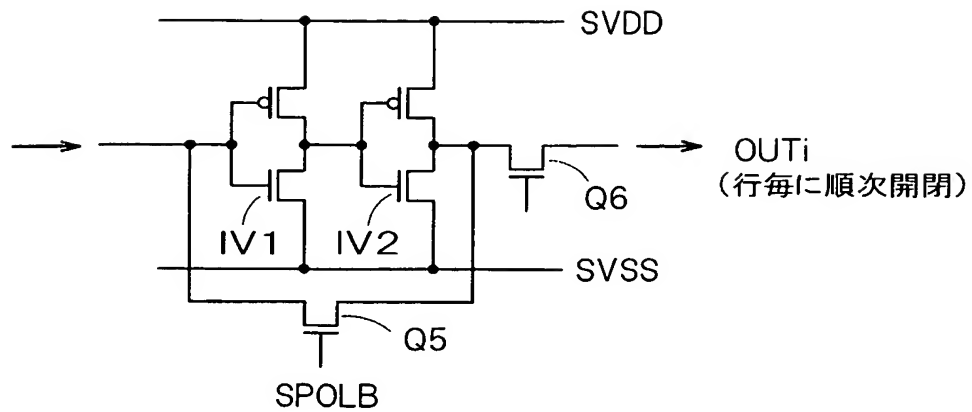
【図 1】



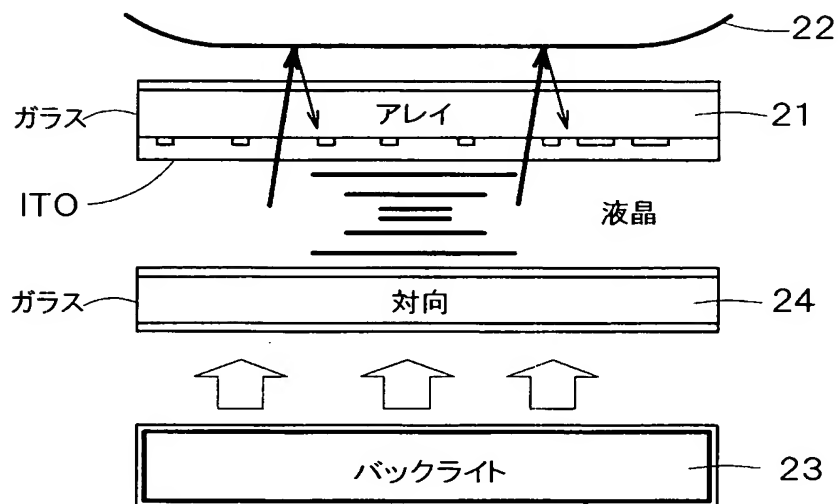
【図 3】



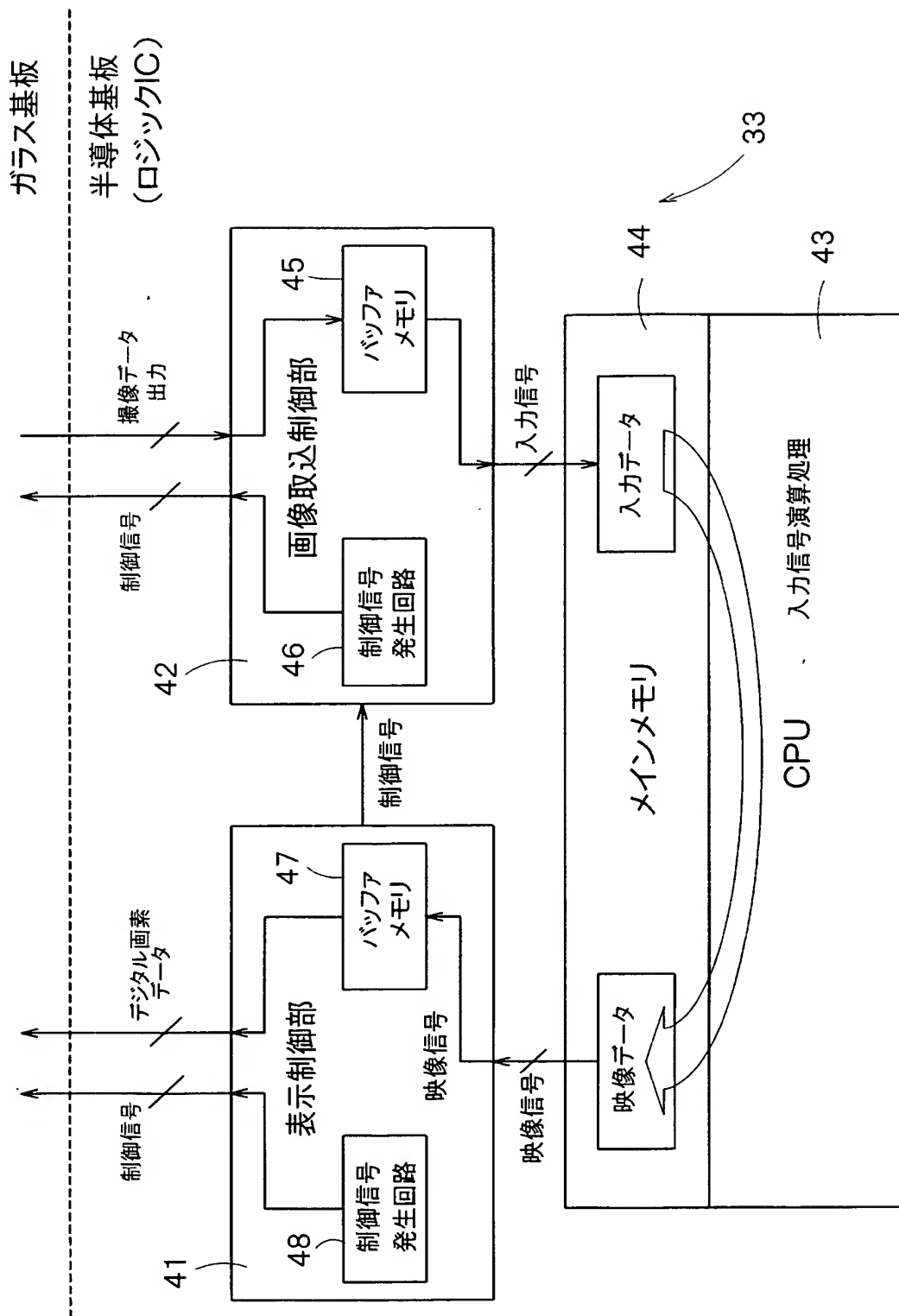
【図 4】



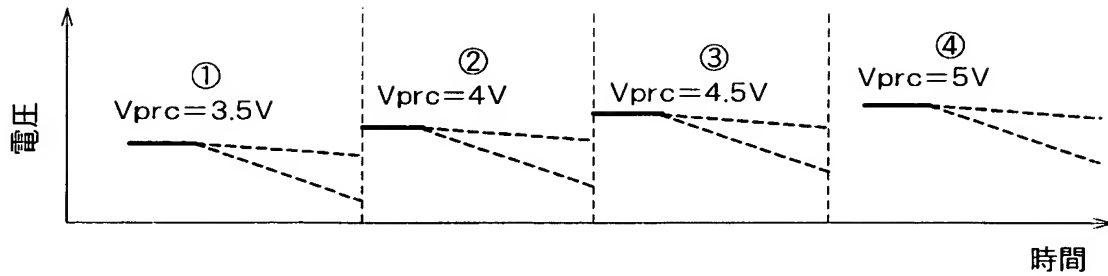
【図 5】



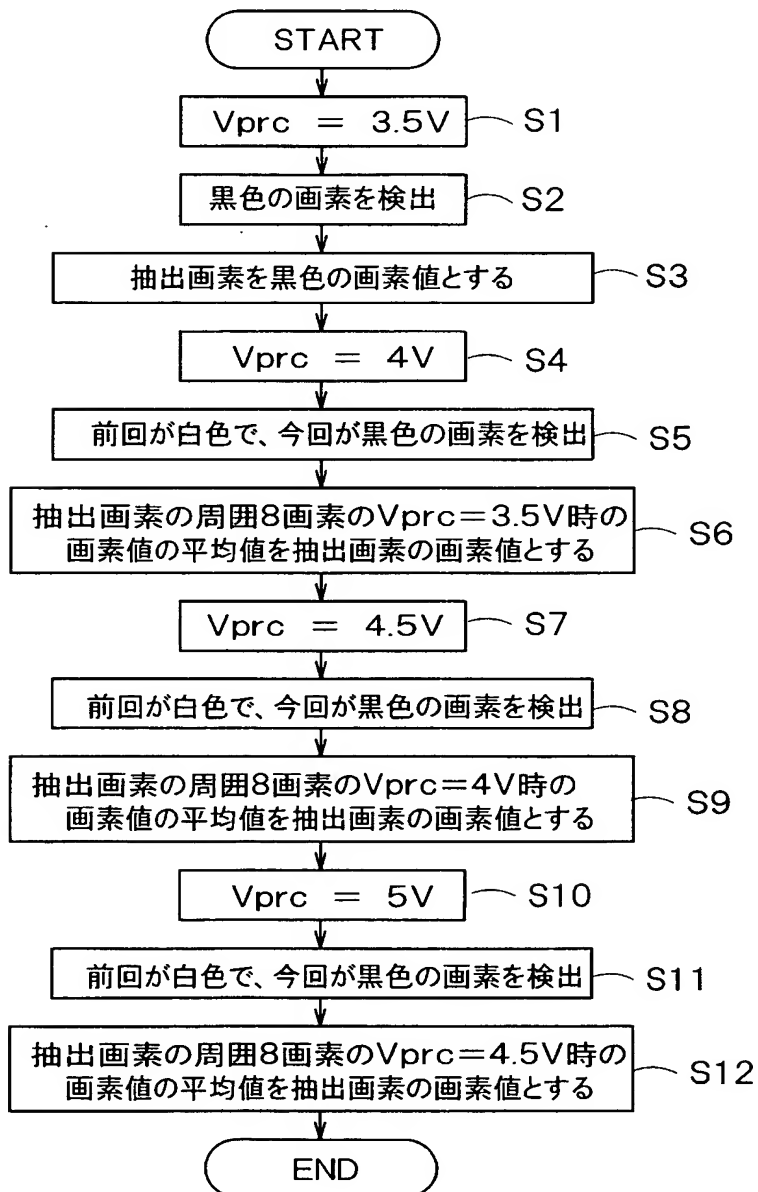
【図 6】



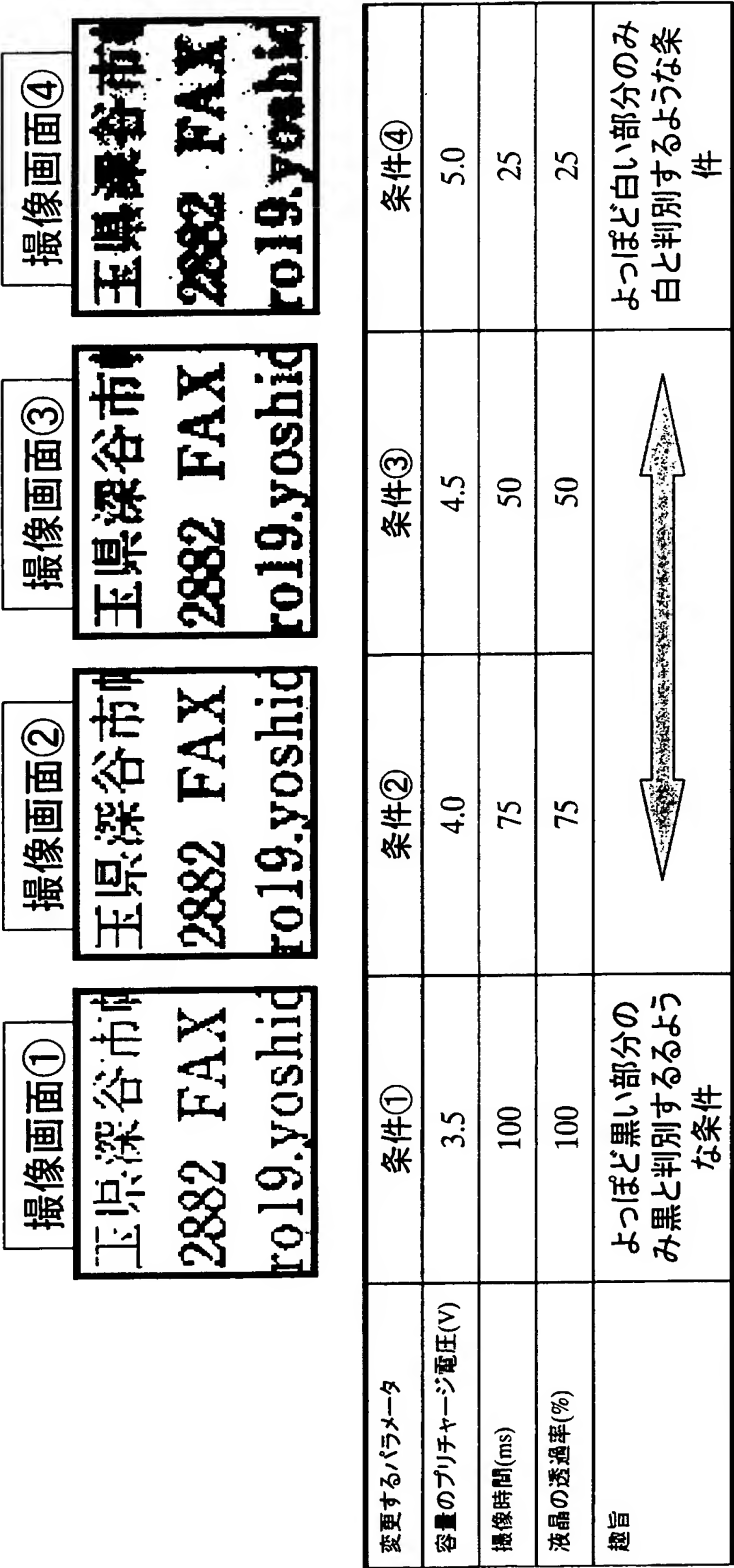
【図 7】



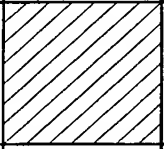
【図 8】



【図 9】



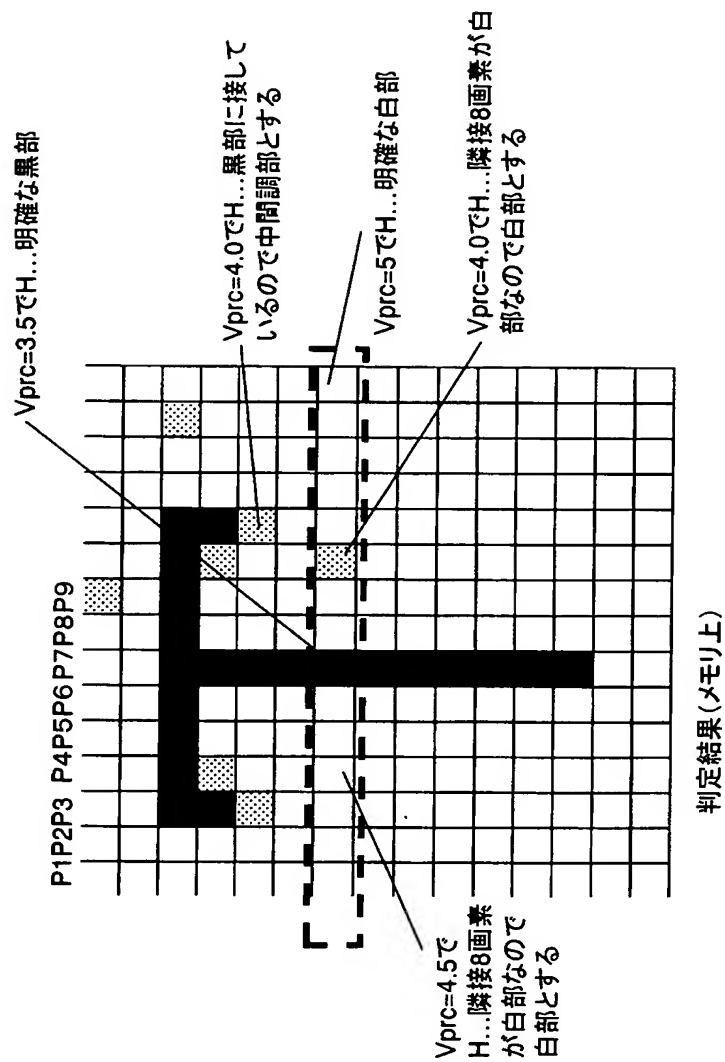
【図 1 0】

G1	G2	G3
G8		G4
G7	G6	G5

【図 1 1】

玉原深谷市
 2882 FAX
 ro19.yoshic

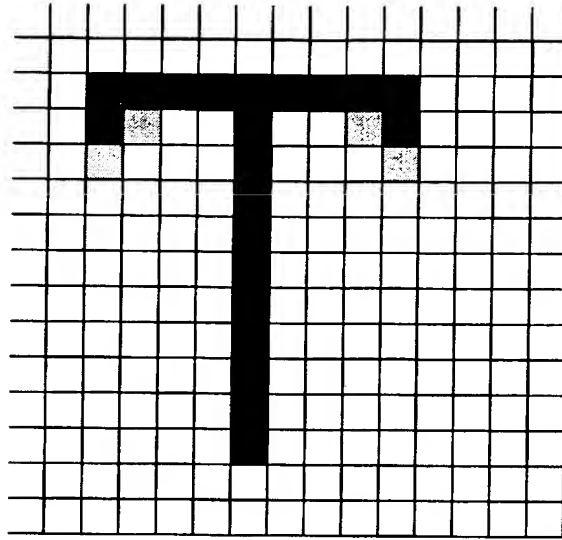
【図 1 2】



【図 1 3】

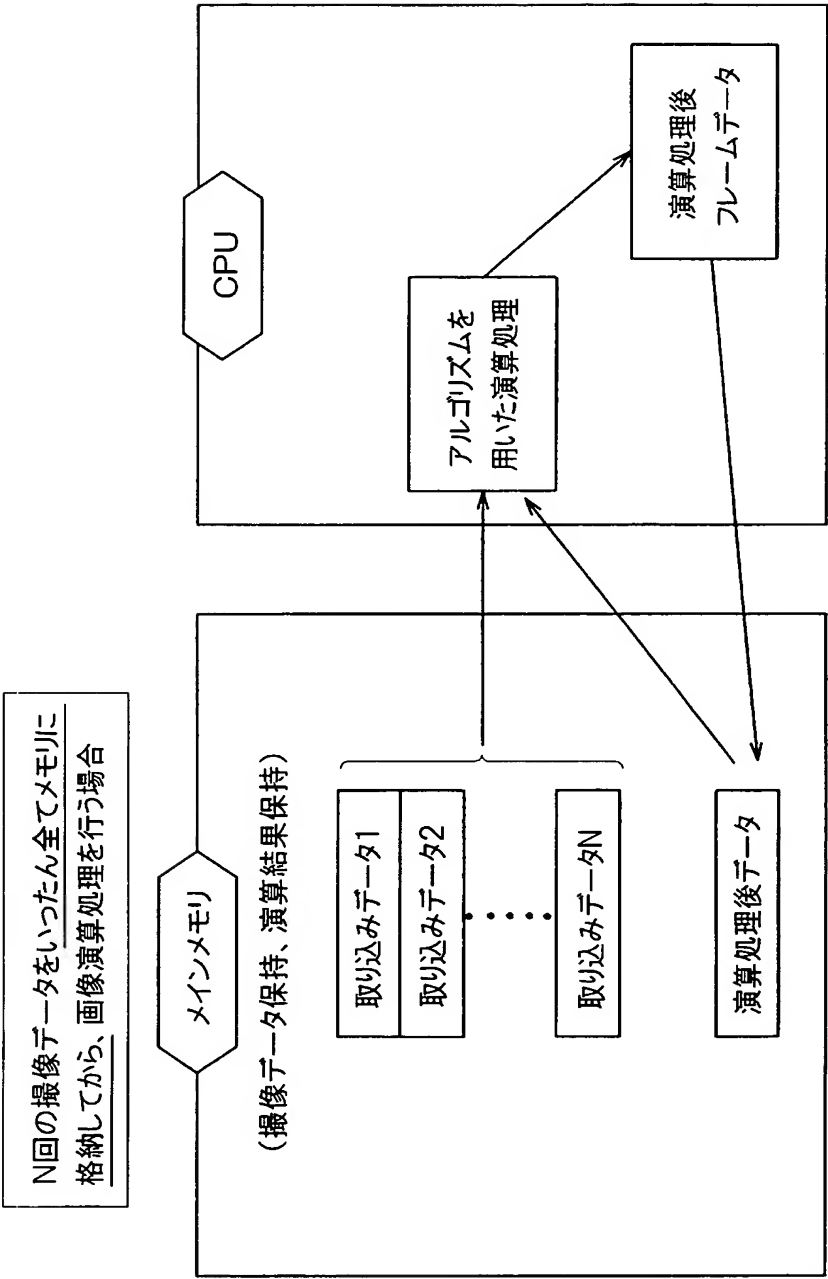
	V _{prc} (V)	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15
①	3.5	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
②	4.0	L	L	L	L	L	L	H	L	L	H	L	L	L	L	L
③	4.5	L	L	L	H	L	L	H	L	L	H	L	L	L	L	L
④	5.0	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

【図 1 4】

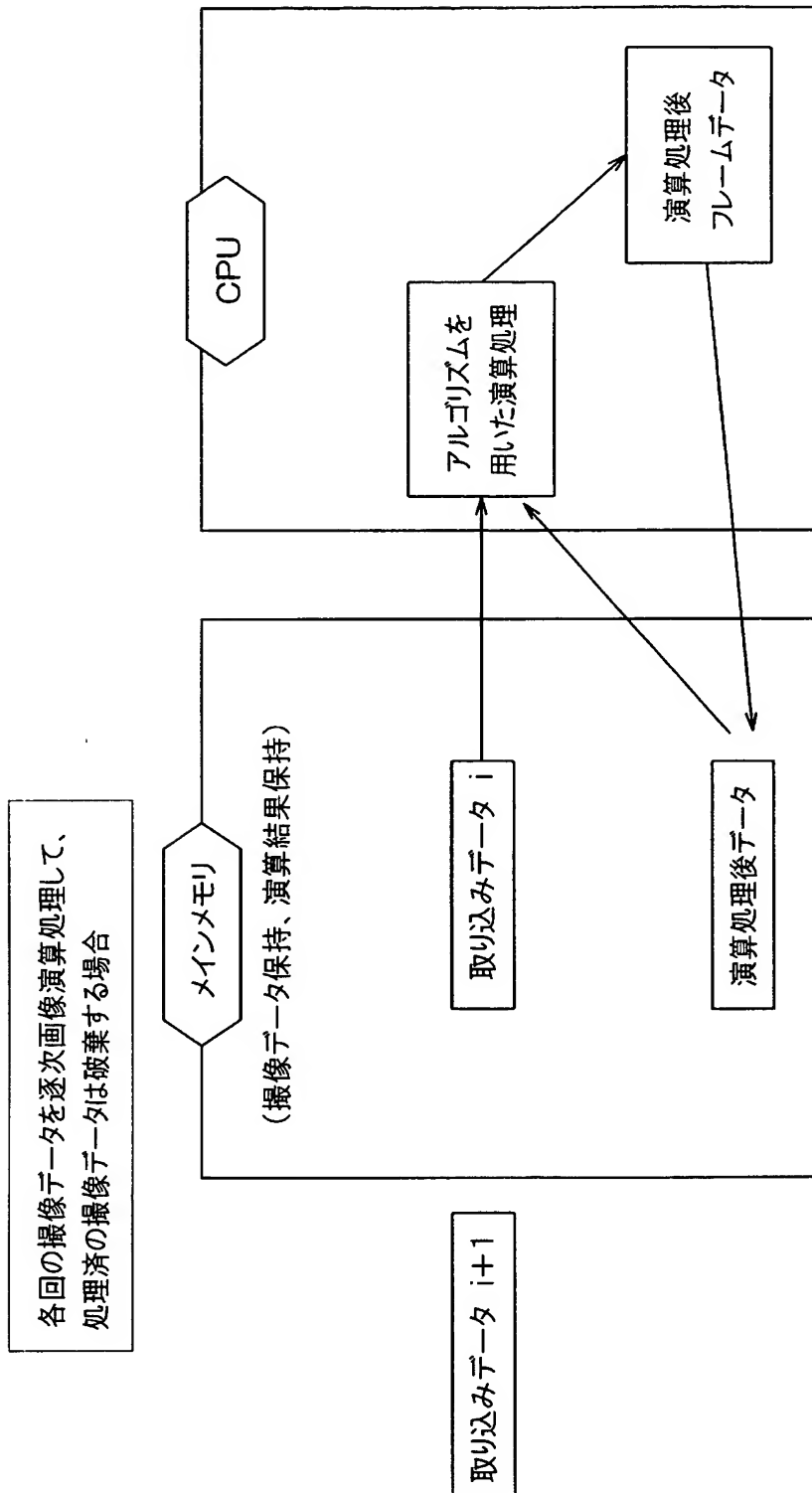


表示装置での再現画像

【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 光リークのばらつきやトランジスタ等の電気的特性のばらつきの影響を受けることなく、画像取込みを行う。

【解決手段】 表示装置は、ガラス基板 3 1 と半導体基板 3 2 とで構成され、半導体基板 3 2 上には、表示制御及び画像取込制御を行うロジック I C 3 3 が実装されている。ロジック I C 3 3 は、画素アレイ部 1 への表示制御を行う表示制御部 4 1 と、センサ 1 2 a, 1 2 b の画像取込制御を行う画像取込制御部 4 2 と、ロジック I C 3 3 全体の制御を行う C P U 4 3 と、C P U 4 3 が作業用に利用するメインメモリ 4 4 とを有する。撮影条件を変えて複数回画像取込みを行った結果に基づいて、最終的な取込画像を決定するため、センサ 1 2 a, 1 2 b の特性ばらつきやSRAMのしきい値電圧のばらつき等の影響を受けずに画像取込みを行うことができ、ノイズが少なく、中間調まで再現できる取込画像が得られる。

【選択図】 図 6

特 願 2 0 0 2 - 2 6 7 9 7 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1 . 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社